



OCM_TEMAC_SZ410 (v1.11a)

Introduction

Virtex4 FX にハードコアとして実装されている PowerPC405 と TEMAC コアをベースにした、Ethernet MAC コントローラモジュールです。機能よりも、リソースを小さく抑えることを重視しています。外部の Phy とは、MII インタフェースと MDIO インタフェースで接続します。

Features

OCM_TEMAC_SZ410 は以下のような特徴を持っています。

- 10/100 Mb/s 対応
- 全二重通信のみ対応
- SZ410 のネットワーク専用

Caution

本 IP コア (付属のドキュメント等も含みます) は、現状のまま (AS IS) 提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。

また、本製品の使用による結果についてもなんら保証するものではありません。

Block Diagram

OCM_TEMAC_SZ410 のブロック図を示します。

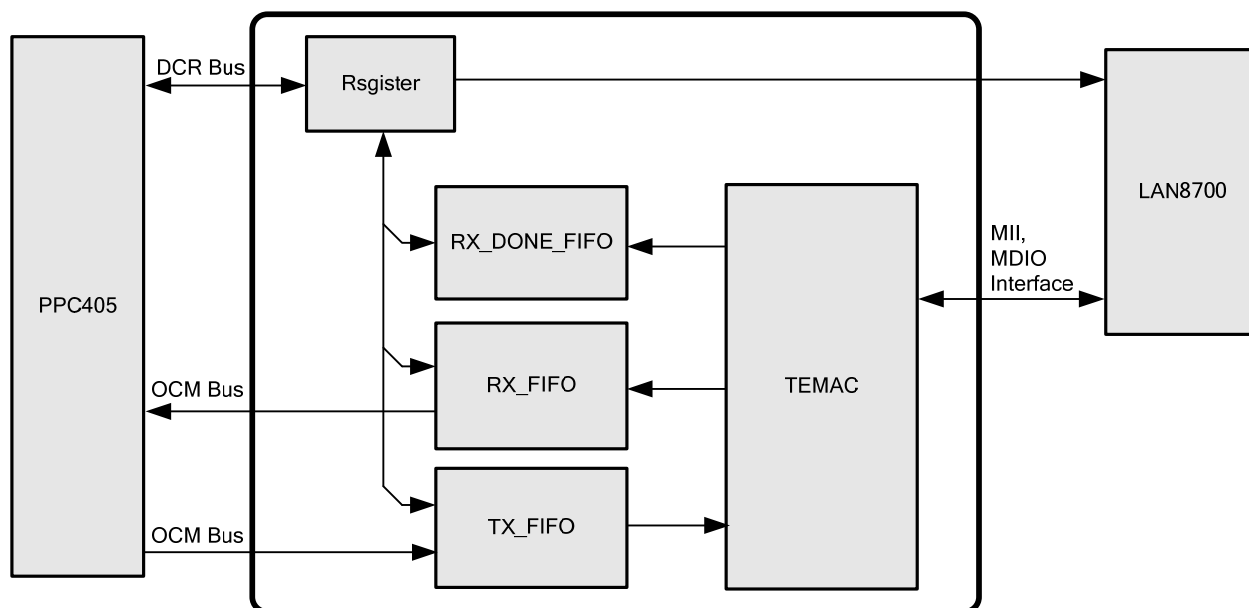


Figure 1 : OCM_TEMAC_SZ410 Block Diagram

Parameters

OCM_TEMAC_SZ410 のパラメータを示します。

Table 1 : Design Parameters

| Feature/Description | Parameter Name | Allowable Values | Default Values | VHDL Type |
|------------------------------|----------------|------------------|----------------|------------------|
| OCM_TEMAC_SZ410 Base Address | C_BASEADDR | Valid Address | 0b0000000000 | std_logic_vector |
| OCM_TEMAC_SZ410 High Address | C_HIGHADDR | Valid Address | 0b0000000111 | std_logic_vector |
| DCR Address Width | C_DCR_AWIDTH | 10 | 10 | integer |
| DCR Data Width | C_DCR_DWIDTH | 32 | 32 | integer |

I/O Signals

OCM_TEMAC_SZ410 の I/O Signals を示します。

Table 2 : I/O Signals

| Signal Name | I/O | Initial State | Description |
|---------------------------------|-----|--------------------|---|
| host_clk | I | | clock |
| sys_rst | I | | reset |
| DCR_ABus[0:C_DCR_AWIDTH-1] | I | | DCR address bus |
| DCR_Read | I | | DCR read request |
| DCR_Write | I | | DCR write request |
| DCR_DBus[0:C_DCR_AWIDTH-1] | I | | DCR write data bus |
| temac_dcrDBus[0:C_DCR_AWIDTH-1] | O | DCR_DBus | DCR data bus |
| temac_dcrAck | O | 0 | DCR acknowledge |
| mii_rx_clk | I | | The TEMAC receive clock |
| mii_rx_dv | I | | RX data detect |
| mii_rx_er | I | | RX data error |
| mii_rxd[3:0] | I | | The data bus from the TEMAC to RX FIFO |
| mii_tx_clk | I | | The TEMAC transmit clock |
| mii_tx_en | O | 0 | The TX data enable signal |
| mii_txd[3:0] | O | 0x0 | The data bus from the TX FIFO to the TEMAC |
| phy_mii_int_n | I | | Phy interrupt input |
| phy_mii_int | O | not phy_mii_int_n | Phy interrupt output |
| MDIO_0 | IO | | management clock |
| MDC_0 | O | MDC | management data |
| DSOCMBRAMWRDBUS[31:0] | I | | Drives the output DSOCMBRAMWRDBUS |
| BRAMDSOCMRDDBUS[31:0] | O | 0x00000000 | Read access read-data |
| ISOCMBRAMWRDBUS[31:0] | I | | Drives the output ISOCMBRAMWRDBUS |
| rx_fifo_rden | I | | The RX FIFO read enable signal that is connected to DSOCMRDADDRVALID of PPC405 block |
| tx_fifo_wren | I | | An output of the TX FIFO that is connected to the DSCOMWRADDVALID port of the PPC405 block |
| tx_fifo_full | O | 0 | An output of the TX FIFO that halts the PPC405 when the TX FIFO is full to prevent overflow |
| phy_rstn | O | ISOCMBRAMWRDBUS(1) | Phy reset signal |
| fifo_int | O | 0 | TX, RX interrupt output |
| DSOCMBRAMABUS[8:29] | I | | Drives the output DSOCMBRAMABUS |

DCR Area Register

OCM_TEMAC_SZ410 の DCR エリアのレジスタを示します。

Table 3 : DCR Register Overview

| Register Name | Description | DCR Address | Reset Value | Access |
|--------------------|-----------------------------|----------------------|-------------|------------|
| FIFO Status | FIFO Status Register | C_BASEADDR + 0x000 | 0x0000 0440 | Read/Write |
| Interrupt Enable | Interrupt Enable Register | C_BASEADDR + 0x001 | 0x0000 0000 | Read/Write |
| TX FIFO Data Count | TX FIFO Data Count Register | C_BASEADDR + 0x002 | 0x0000 0000 | Read |
| RX FIFO Data Count | RX FIFO Data Count Register | C_BASEADDR + 0x003 | 0x0000 0000 | Read |
| TX FIFO Size | TX FIFO Size Register | C_BASEADDR + 0x004 | 0x0000 2000 | Read |
| RX FIFO Size | RX FIFO Size Register | C_BASEADDR + 0x005 | 0x0000 2000 | Read |
| ISFILL | ISOCM Fill Data Register | C_IDCR_BASEADDR + 1 | 0x0000 0000 | Read/Write |
| dataRegMSW | DCR Data(MSW) Register | C_IDCR_BASEADDR + 12 | Undefined | Read/Write |
| dataRegLSW | DCR Data(LSW) Register | C_IDCR_BASEADDR + 13 | Undefined | Read/Write |
| cntlReg | DCR Control Register | C_IDCR_BASEADDR + 14 | 0x0000 0000 | Read/Write |
| RDYstatus | DCR Ready Status Register | C_IDCR_BASEADDR + 15 | 0x0000 7F7F | Read |

• FIFO Status (FIFO Status Register) C_BASEADDR + 0x000

TX FIFO, RX FIFO の状態の読み込み、フラグのクリアを行います。

| | | | | | | | | | | |
|----------|--------------|---------------|------------------|----------|--------------|---------------|-------------------|----------|-----------|--------------|
| 0:19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27:29 | 30 | 31 |
| Reserved | tx_fifo_full | tx_fifo_empty | tx_fifo_overflow | Reserved | rx_fifo_full | rx_fifo_empty | rx_fifo_underflow | Reserved | send_done | receive_done |
| MSB | | | | | | | | LSB | | |

Figure 2 : FIFO Status Register

Table 4 :FIFO Status Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|------------------|-------------|---|-------------|
| 0 : 19 | Reserved | Read | Reserved | zeroes |
| 20 | tx_fifo_full | Read/Write | TX FIFO の Full フラグを操作、確認します。 Read 1 : TX FIFO が Full 状態になったことを示します。 Full フラグをクリアするまで 1 を示します。 Write 1 : TX FIFO の Full フラグをクリアします。 | 0 |
| 21 | tx_fifo_empty | Read/Write | TX FIFO の Empty フラグを操作、確認します。 Read 1 : TX FIFO が Empty 状態になったことを示します。 Empty フラグをクリアするまで 1 を示します。 Write 1 : TX FIFO の Empty フラグをクリアします。 | 1 |
| 22 | tx_fifo_overflow | Read/Write | TX FIFO の OverFlow フラグを操作、確認します。 Read 1 : TX FIFO が OverFlow 状態になったことを示します。 OverFlow フラグをクリアするまで 1 を示します。 Write 1 : TX FIFO の OverFlow フラグをクリアします。 | 0 |
| 23 | Reserved | Read | Reserved | 0 |
| 24 | rx_fifo_full | Read/Write | RX FIFO の Full フラグを操作、確認します。 Read 1 : RX FIFO が Full 状態になったことを示します。 Full フラグをクリアするまで 1 を示します。 Write 1 : RX FIFO の Full フラグをクリアします。 | 0 |

| | | | | |
|-------|-------------------|------------|--|--------|
| 25 | rx_fifo_empty | Read/Write | RX FIFO の Empty フラグを操作、確認します。 Read 1 : RX FIFO が Empty 状態になったことを示します。Empty フラグをクリアするまで 1 を示します。 Write 1 : RX FIFO の Empty フラグをクリアします。 | 1 |
| 26 | rx_fifo_underflow | Read/Write | RX FIFO の UnderFlow フラグを操作、確認します。 Read 1 : RX FIFO が UnderFlow 状態になったことを示します。UnderFlow フラグをクリアするまで 1 を示します。 Write 1 : RX FIFO の UnderFlow フラグをクリアします。 | 0 |
| 27:29 | Reeserved | Read | Reserved | zeroes |
| 30 | send_done | Read/Write | TX FIFO から TEMAC へのデータ送信完了(割り込み)フラグを操作、確認します。 Read 1 : 1 パケット分のデータ送信完了状態を示します。送信完了すると、割り込みが発生します。クリアするまで 1 を示します。 Write 1 : データ送信完了(割り込み)フラグをクリアします。 | 0 |
| 31 | receive_done | Read/Write | TEMAC から RX FIFO へのデータ受信(割り込み)フラグを操作、確認します。 Read 1 : RX FIFO にデータを受信したことを示します。データ受信フラグが RX DONE FIFO にがストックされ、割り込みが発生します。複数のパケットがある場合は、すべてのパケットのフラグをクリアするまで、0 になりません。 Write 1 : データ受信(割り込み)フラグをクリアします。クリアは 1 パケット読み出しごとに行う必要があります。 | 0 |

• Interrupt Enable (Interrupt Enable Register) C_BASEADDR + 0x001

割り込みの有効無効を操作します。

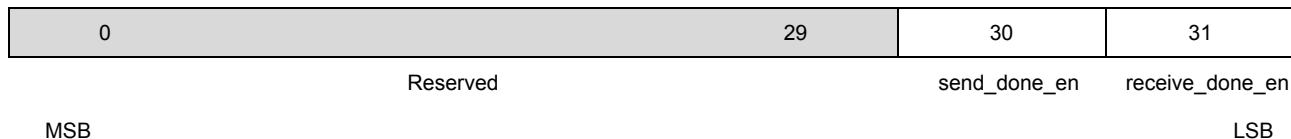


Figure 3 : Interrupt Enable Register

Table 5 : Interrupt Enable Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|-----------------|-------------|---|-------------|
| 0 : 29 | Reserved | Read | Reserved | zeroes |
| 30 | send_done_en | Read/Write | TX FIFO から TEMAC へのパケットの送信が完了した時の割り込みを操作、確認します。 Read/Write 1 : 有効 Read/Write 0 : 無効 | 0 |
| 31 | receive_done_en | Read/Write | TEMAC から RX FIFO へのパケットの受信が完了した時の割り込みを操作、確認します。 Read/Write 1 : 有効 Read/Write 0 : 無効 | 0 |

• TX FIFO Data Count (TX FIFO Data Count Register) C_BASEADDR + 0x002

TX FIFO 内にある、データサイズを読み込みます。

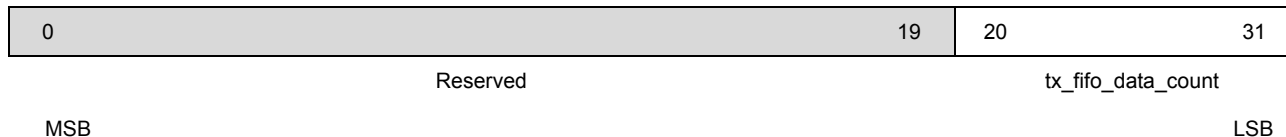


Figure 4 : TX FIFO Data Count Register

Table 6 :TX FIFO Data Count Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|--------------------|-------------|---|-------------|
| 0 : 19 | Reserved | Read | Reserved | zeroes |
| 20:31 | tx_fifo_data_count | Read | TX FIFO 内にあるパケット単位のサイズを読みこみます。読み込める値の範囲は 0x000~0xFF F です。 | 0x000 |

• RX FIFO Data Count (RX FIFO Data Count Register) C_BASEADDR + 0x003

RX FIFO 内にある、データサイズを読み込みます。

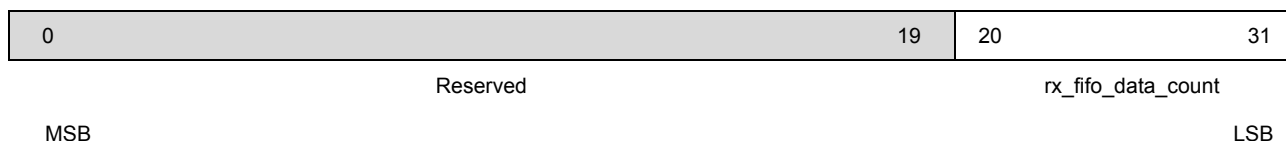


Figure 5 : RX FIFO Data Count Register

Table 7 :RX FIFO Data Count Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|--------------------|-------------|---|-------------|
| 0 : 19 | Reserved | Read | Reserved | zeroes |
| 20:31 | rx_fifo_data_count | Read | RX FIFO 内にあるパケット単位のサイズを読みこみます。読み込める値の範囲は 0x000~0xFF F です。 | 0x000 |

• TX FIFO Size (TX FIFO Size Register) C_BASEADDR + 0x004

TX FIFO のサイズを読み込みます。

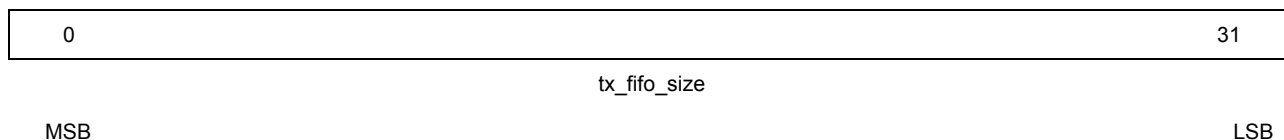


Figure 6 : TX FIFO Size Register

Table 8 :TX FIFO Size Register Description

| Bits | Name | Core Access | Description | Reset Value |
|------|--------------|-------------|----------------------|-------------|
| 0:31 | tx_fifo_size | Read | TX FIFO のサイズを読み込みます。 | 0x00002000 |

• RX FIFO Size (RX FIFO Size Register) C_BASEADDR + 0x005

RX FIFO のサイズを読み込みます。

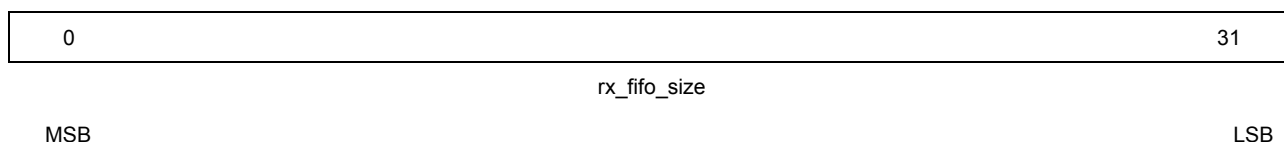


Figure 7 : RX FIFO Size Register

Table 9 :RX FIFO Size Register Description

| Bits | Name | Core Access | Description | Reset Value |
|------|--------------|-------------|----------------------|-------------|
| 0:31 | rx_fifo_size | Read | RX FIFO のサイズを読み込みます。 | 0x00002000 |

• ISFILL(ISOCM Fill Data Register) IDCR BASEADDR + 1

RX FIFO、Phy のリセット信号、TX FIFO のロック信号を操作します。

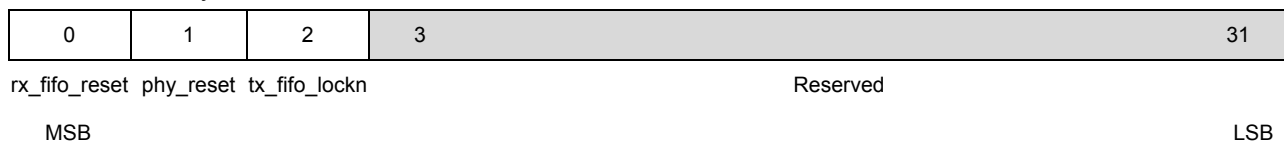


Figure 8 : ISOCM Fill Data Register

Table 10 : ISOCM Fill Data Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|---------------|-------------|---|-------------|
| 0 | rx_fifo_reset | Write | RX FIFO のリセット信号を操作します。 Write 1 : RX FIFO をリセットします。 | - |
| 1 | phy_reset | Write | Phy (LAN8700) のリセット信号を操作します。 Write 1 : Phy をリセットします。 | - |
| 2 | tx_fifo_lockn | Write | TX FIFO のロック信号を操作します。 Write 0 : TX FIFO をロックします。 | - |
| 3 : 31 | Reserved | Read | Reserved | zeroes |

• dataRegMSW(DCR Data Register) IDCR BASEADDR + 12

DCR Data を読み込み、書き込みします。

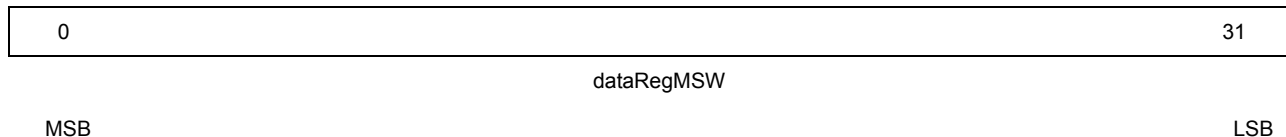


Figure 9 : DCR Data(MSW) Register

Table 11 :DCR Data(MSW) Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|------------|-------------|--|-------------|
| 0 : 31 | dataRegMSW | Read/Write | DCR バスから入力される EMAC へのデータと EMAC から読み出された MSW データを書き込むレジスタ | Undefined |

• dataRegLSW(DCR Data Register) IDCR BASEADDR + 13

DCR Data を読み込み、書き込みします。

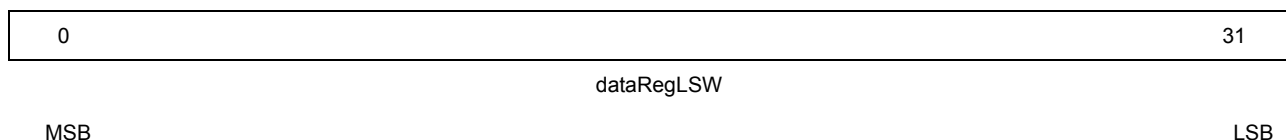


Figure 10 : DCR Data(LSW) Register

Table 12 :DCR Data(LSW) Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|------------|-------------|--|-------------|
| 0 : 31 | dataRegLSW | Read/Write | DCR バスから入力される EMAC へのデータと EMAC から読み出された LSW データを書き込むレジスタ | Undefined |

• cntlReg(DCR Control Register) IDCR BASEADDR + 14

DCR バスの操作をします。

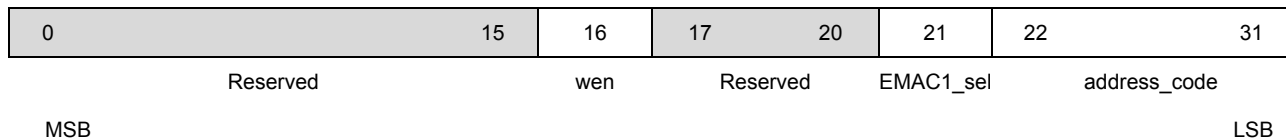


Figure 11 : DCR Control Register

Table 13 : DCR Control Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|----------|-------------|--|-------------|
| 0 : 15 | Reserved | Read | Reserved | zeroes |
| 16 | wen | Read/Write | DCR バスの Write Enable 信号です。 Read/Write 1 : EMAC のレジスタから dataRegLSW, dataRegMSW に書き込み可能 | 0 |

| | | | | |
|---------|--------------|------------|--|--------|
| 17 : 20 | Reserved | Read | Reserved | zeroes |
| 21 | EMAC1_sel | Read/Write | Read/Write 1 : address code に EMAC1 のアドレスを設定します。 Read/Write 0 : address code に EMAC0 のアドレスを設定します。 | 0 |
| 22: 31 | address code | Read/Write | address code を読み込み、書き込みします。DCR バスのブリッジはこの address code を EMAC のレジスタアドレスに変換します。 ¹ | zeroes |

• RDYstatus(DCR Ready Status Register) IDCR BASEADDR + 15

DCR バスの状態を読み込みます。

| | | | | | | | | | | | | | | | | |
|----------|---------|---------|--------|--------|----------|----------|----------|----------|---------|---------|--------|--------|----------|----------|----------|----|
| 0 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31 |
| Reserved | cfg_wr1 | cfg_rr1 | af_wr1 | af_rr1 | miim_wr1 | miim_rr1 | stat_rr1 | Reserved | cfg_wr0 | cfg_rr0 | af_wr0 | af_rr0 | miim_wr0 | miim_rr0 | stat_rr0 | |
| MSB | | | | | | | | LSB | | | | | | | | |

Figure 12 : DCR Ready Status Register

Table 14 : DCR Ready Status Register Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|----------|-------------|-----------------------------------|-------------|
| 0 : 16 | Reserved | Read | Reserved | zeroes |
| 17 | cfg_wr1 | Read | EMAC1 コンフィギュレーション Write Ready bit | 1 |
| 18 | cfg_rr1 | Read | EMAC1 コンフィギュレーション Read Ready bit | 1 |
| 19 | af_wr1 | Read | EMAC1 アドレスフィルタ Write Ready bit | 1 |
| 20 | af_rr1 | Read | EMAC1 アドレスフィルタ Read Ready bit | 1 |
| 21 | miim_wr1 | Read | EMAC1 MDIO Write Ready bit | 1 |
| 22 | miim_rr1 | Read | EMAC1 MDIO Read Ready bit | 1 |
| 23 | stat_rr1 | Read | EMAC1 固定 IP Read Ready bit | 1 |
| 24 | Reserved | Read | Reserved | 0 |
| 25 | cfg_wr0 | Read | EMAC0 コンフィギュレーション Write Ready bit | 1 |
| 26 | cfg_rr0 | Read | EMAC0 コンフィギュレーション Read Ready bit | 1 |
| 27 | af_wr0 | Read | EMAC0 アドレスフィルタ Write Ready bit | 1 |
| 28 | af_rr0 | Read | EMAC0 アドレスフィルタ Read Ready bit | 1 |
| 29 | miim_wr0 | Read | EMAC0 MDIO Write Ready bit | 1 |
| 30 | miim_rr0 | Read | EMAC0 MDIO Read Ready bit | 1 |
| 31 | stat_rr0 | Read | EMAC0 固定 IP Read Ready bit | 1 |

¹ 詳細につきましては参考文献[2]『Virtex-4 FPGA Embedded Tri-Mode Ethernet MAC』をご参照ください。

Memory Area Register

OCM_TEMAC_SZ410 のメモリエリアのレジスタを示します。

Table 15 : Register Overview

| Register Name | Description | PLB Address | Reset Value | Access |
|---------------|----------------------|--------------------------|-------------|------------|
| DSOCM | Data Side OCM | DSARCVLUE & 0x000000 + 0 | 0x0000 0000 | Read/Write |
| ISOCM | Instruction Side OCM | ISARCVLUE & 0x000000 + 0 | 0x0000 0000 | Read/Write |

• DSOCMRD DSARCVLUE & 0x000000 + 0

| 0:7 | 8 | 9 | 10 | 11 | 12 | 13 | 14:15 | 16:23 | 24:31 |
|----------|-------------|----------|---------------------|--------------------|----------|--------------|----------|---------------|--------------|
| Reserved | rx_fifo_err | Reserved | rx_fifo_data_valid2 | rx_fifo_data_valid | Reserved | rx_fifo_full | Reserved | rx_fifo_data2 | rx_fifo_data |
| MSB | | | | | | | | | LSB |

Figure 13 : DSOCMRD

Table 16 :DSOCMRD Description

| Bits | Name | Core Access | Description | Reset Value |
|---------|---------------------|-------------|---|-------------|
| 0 : 7 | Reserved | Read | Reserved | 0x00 |
| 8 | rx_fifo_err | Read | RX FIFO の UnderFlow 状態を示します。 Read 1 : RX FIFO が Underflow | 0 |
| 9 | Reserved | Read | Reserved | 0 |
| 10 | rx_fifo_data_valid2 | Read | RX FIFO にあるデータ(second byte data)が有効か無効かを示します。 Read 1 : 有効 Read 0 : 無効 | 0 |
| 11 | rx_fifo_data_valid | Read | RX FIFO にあるデータ(first byte data)が有効か無効かを示します。 Read 1 : 有効 Read 0 : 無効 | 0 |
| 12 | Reserved | Read | Reserved | 0 |
| 13 | rx_fifo_full | Read | RX FIFO の Full 状態を示します。 Read 1 : RX FIFO が FULL | 0 |
| 14 : 15 | Reserved | Read | Reserved | 00 |
| 16 : 23 | rx_fifo_data2 | Read | RX FIFO の受信データ(second byte data)を読み込みます。 | 0x00 |
| 24 : 31 | rx_fifo_data | Read | RX FIFO の受信データ(first byte data)を読み込みます。 | 0x00 |

• DSOCMWR DSARCVALUE & 0x000000 + 0

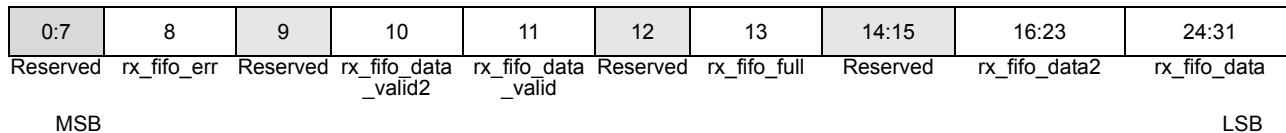


Figure 14 : DSOCMWR

Table 17 :DSOCMWR Description

| Bits | Name | Core Access | Description | Reset Value |
|---------|-----------------------|-------------|--|-------------|
| 0 : 9 | Reserved | Write | Reserved | - |
| 10 | n_tx_fifo_data_valid2 | Write | TX FIFO への送信データ(second byte data)が有効か無効かのフラグを書き込みます。 Write 0 : 有効 Write 1 : 無効 | - |
| 11 | n_tx_fifo_data_valid | Write | TX FIFO への送信データ(first byte data)が有効か無効かのフラグを書き込みます。 Write 0 : 有効 Write 1 : 無効 | - |
| 12 : 15 | Reserved | Write | Reserved | - |
| 16 : 23 | tx_fifo_data2 | Write | TX FIFO への送信データ(second byte data)を書き込みます。 | - |
| 24 : 31 | tx_fifo_data | Write | TX FIFO への送信データ(first byte data)を書き込みます。 | - |

• ISOCM ISARCVALUE & 0x000000 + 0

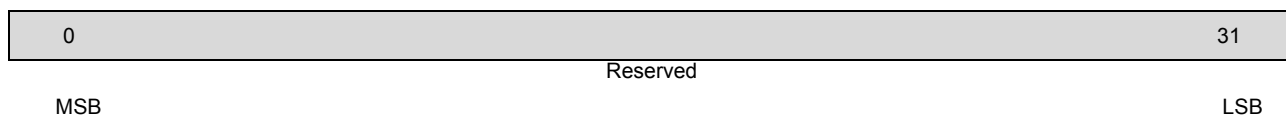


Figure 15 : ISOCM

Table 18 :ISOCM Description

| Bits | Name | Core Access | Description | Reset Value |
|--------|----------|-------------|-------------|-------------|
| 0 : 31 | Reserved | Write | Reserved | - |

Functional Description

• RX FIFO

入力 9bit、出力 18bit、深さ 8k の FIFO です。

| | | | | | | | | |
|--------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| valid1 | rx_data1(7) | rx_data1(6) | rx_data1(5) | rx_data1(4) | rx_data1(3) | rx_data1(2) | rx_data1(1) | rx_data1(0) |

| | | | | | | | | |
|--------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 |
| valid2 | rx_data2(7) | rx_data2(6) | rx_data2(5) | rx_data2(4) | rx_data2(3) | rx_data2(2) | rx_data2(1) | rx_data2(0) |

MSB LSB

Figure 16 : RX FIFO Output Strage MAP

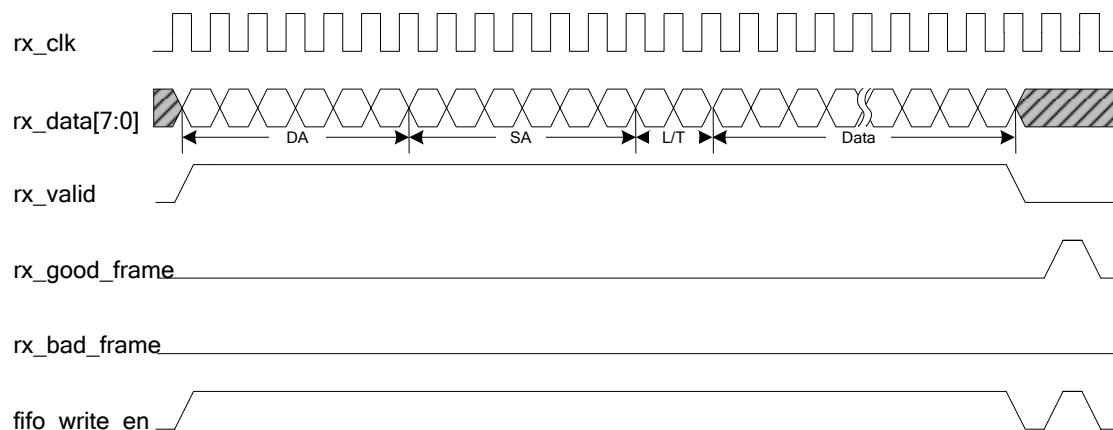


Figure 17 : Timing between TEMAC and RX FIFO

• TX FIFO

入力 18bit、出力 9bit、深さ 8k の FIFO です。

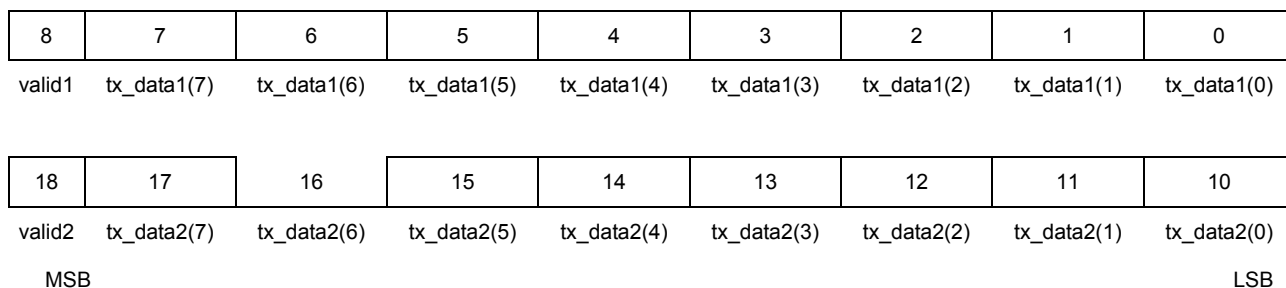


Figure 18 : TX FIFO Input Strage MAP

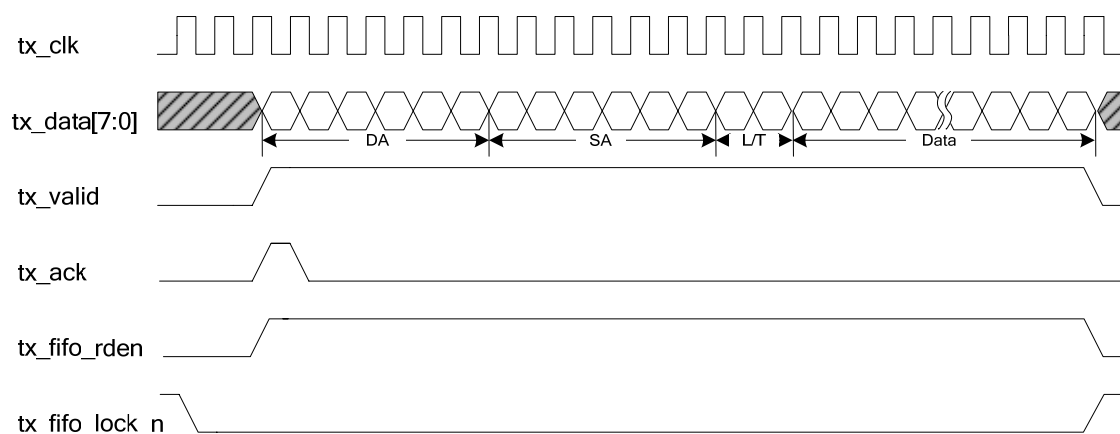


Figure 19 : Timing between TX FIFO and TEMAC

• Interrupt

OCM_TEMAC_SZ410 からは Phy 割り込み、FIFO(RX,TX)割り込みの 2 種類の割り込み信号を出力することができ、それぞれイネーブル、ディスエーブルを設定することが可能です。

Phy 割り込みは LAN8700 からのレベル High の割り込み信号となります。割り込み信号の詳細につきましては、LAN8700 のデータシートをご参照ください。

FIFO 割り込みは RX FIFO および TX FIFO の状態により発生するレベル High の割り込み信号となります。

RX FIFO の場合、TEMAC から RX FIFO にデータ受信時に割り込みが発生します。

TX FIFO の場合、TX FIFO から TEMAC へ 1 パケット分のデータを読み出し完了時に割り込みが発生します。

References

- [1] 『Minimal Footprint Tri-Mode Ethernet MAC Processing Engine』 , Xilinx(株)
- [2] 『Virtex-4 FPGA Embedded Tri-Mode Ethernet MAC』 , Xilinx(株)
- [3] 『PowerPC 405 Processor Block Reference Guide』 , Xilinx(株)

Revision History

| Date | Version | Revision |
|------------|---------|----------|
| 2009/04/21 | 1.0 | 初版作成 |