



OPB SIA00 (v1.00b)

Introduction

OPB-SIA00 は SUZAKU-S(SZ130-U00)と SUZAKU I/O シリーズ AV ボード(SIV00-U00)¹を接続した状態で使用できる Audio 用 IP コアのサンプルです。

AV ボードは映像と音データの取得・出力が可能なボードです。OPB-SIA00 は取得した I²S フォーマットのデータをデジタルデータに変換して SDRAM に展開すること、SDRAM のデジタルデータを I²S フォーマットのデータに変換して出力することができます。

Features

OPB-SIA00 は以下のような特徴を持っています。

- SUZAKU-I/O シリーズ AV ボード専用(コーデック IC : TLV320AIC23B(テキサスインスツルメンツ社))
- SZ130-U00 のみ対応
- I²S ・ 16bit フォーマット対応
- ステレオ/モノラル対応
- FIFO の深さ 1024

Caution

本 IP コア (付属のドキュメント等も含みます) は、現状のまま (AS IS) 提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。

また、本製品の使用による結果についてもなんら保証するものではありません。

Block Diagram

OPB-SIA00 のブロック図を示します。

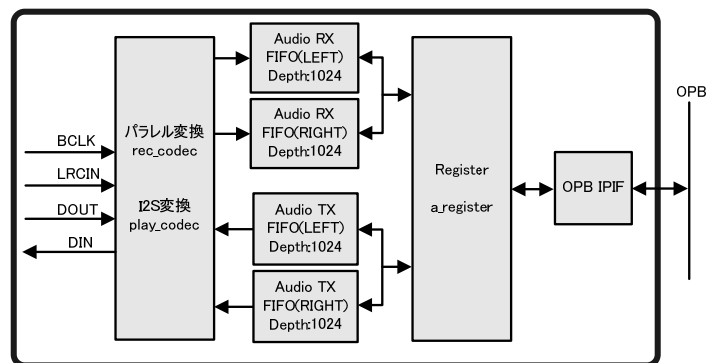


Figure 1 : OPB-SIA00 Block Diagram

¹ AV ボード(SIV00-U00)の詳細につきましては AV ボードハードウェアマニュアルをご参照ください。

Parameters

OPB-SIA00 のパラメータを示します。

Table 1 : Design Parameters

Feature/Description	Parameter Name	Allowable Values	Default Values	VHDL Type
OPB SIA00 Base Address	C_AR0_BASEADDR	Valid OPB Address	0xFFFF 4400	std_logic_vector
OPB SIA00 High Address	C_AR0_HIGHADDR	Valid OPB Address	0xFFFF 45FF	std_logic_vector
Target FPGA Family	C_FAMILY	Spartan3e	Spartan3e	string
OPB Address Width	C_OPB_AWIDTH	32	32	integer
OPB Data Width	C_OPB_DWIDTH	32	32	integer

I/O Signals

OPB-SIA00 の I/O Signals を示します。

Table 2 : I/O Signals

Signal Name	I/O	Initial State	Description
OPB_Clk	I		OPB main bus clock
OPB_Rst	I		OPB main bus reset
SI_DBus[0:C_OPB_DWIDTH-1]	I		OPB SIA00 Data Bus
SI_errAck	O	0	OPB SIA00 Error Acknowledge
SI_retry	O	0	OPB SIA00 Retry
SI_toutSup	O	0	OPB SIA00 Timeout Suppress
SI_xferAck	O	0	OPB SIA00 Transfer Acknowledge
OPB_ABus[0:C_OPB_AWIDTH-1]	I		OPB Address Bus
OPB_BE[0:C_OPB_DWIDTH/8-1]	I		OPB Byte Enable
OPB_DBus[0:OPB_DWIDTH-1]	I		OPB Data Bus
OPB_RNW	I		OPB Read/Not Write
OPB_select	I		OPB Select
OPB_seqAddr	I		OPB Sequential Address
COD_DIN	O	0	I2S Format Serial Data Output
COD_LRCIN	I		I2S Word Clock Signal
COD_DOUT	I		I2S Format Serial Data Input
COD_BCLK	I		I2S Serial Bit Clock
SIA_Intr	O	0	Active Level High Interrupt Signal

Register

OPB-SIA00 のレジスタを示します。

Table 3 : Register Overview

Register Name	Description	OPB Address	Reset Value	Access
Control	Control Register	C_AR0_BASEADDR+0x00	0x0000 0000	Read/Write
Status	Status Register	C_AR0_BASEADDR+0x10	0x0000 0003	Read
Interrupt Enable	Interrupt Enable Register	C_AR0_BASEADDR+0x40	0x0000 0000	Read/Write
Mono_Stereo Select	Monaural/Stereo Select Register	C_AR0_BASEADDR+0x64	0x0000 0000	Read/Write
Audio RX FIFO	Audio RX FIFO	C_AR0_BASEADDR+0x80	0x0000 0000	Read
Audio TX FIFO	Audio TX FIFO	C_AR0_BASEADDR+0x84	0x0000 0000	Write
RX FIFO Depth	RX FIFO Depth Register	C_AR0_BASEADDR+0xA0	0x0000 0400	Read
TX FIFO Depth	TX FIFO Depth Register	C_AR0_BASEADDR+0xA4	0x0000 0400	Read
Core ID	Core ID Register	C_AR0_BASEADDR+0xFC	0x5008 100A	Read

※ 32bit アクセスのみ対応。8bit 及び 16bit アクセスはできません。

• Control (Control Register) Offset:0x00

OPB-SIA00 の動作を制御します。

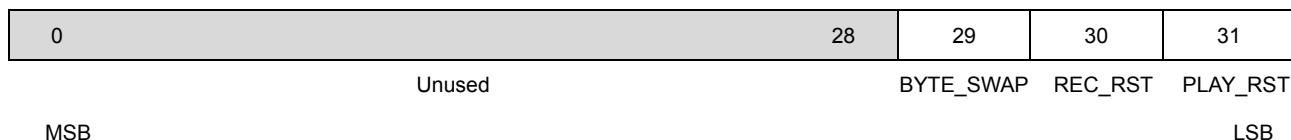


Figure 2 : Control Register

Table 4 : Control Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 28	Unused	Read	Unused	zeroes
29	BYTE_SWAP	Write	1 : TX FIFO データ、RX FIFO データがリトルエンディアンとなります。 0 : TX FIFO データ、RX FIFO データがビッグエンディアンとなります。	0
30	REC_RST	Read/Write	1 : Audio RX FIFO にリセット信号を出力します。 0 : Audio RX FIFO へのリセット信号の出力を停止します。	1
31	PLAY_RST	Read/Write	1 : Audio TX FIFO にリセット信号を出力します。 0 : Audio TX FIFO へのリセット信号の出力を停止します。	1

• Status (Status Register) Offset:0x10

OPB-SIA00 のステータスを表示します。

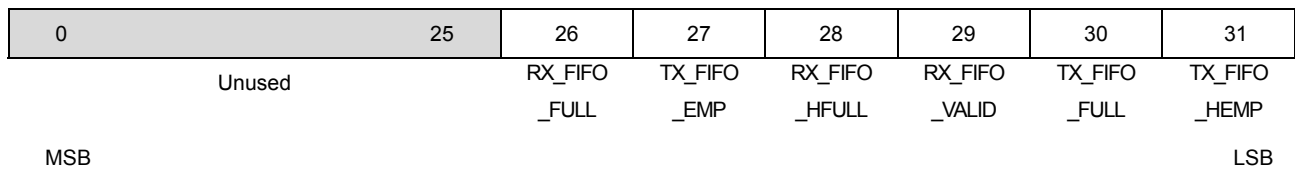


Figure 3 : Status Register

Table 5 :Status Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 25	Unused	Read	Unused	zeroes
26	RX_FIFO_FULL	Read	1 : RX FIFO FULL 0 : RX FIFO NOT FULL	0
27	TX_FIFO_EMP	Read	1 : TX FIFO EMPTY 0 : TX FIFO VALID	1
28	RX_FIFO_HFULL	Read	1 : RX FIFO Half FULL 0 : RX FIFO Half EMPTY	0
29	RX_FIFO_VALID	Read	1 : RX FIFO VALID 0 : RX FIFO EMPTY	0
30	TX_FIFO_FULL	Read	1 : TX FIFO FULL 0 : TX FIFO NOT FULL	0
31	TX_FIFO_HEMP	Read	1 : TX FIFO Half EMPTY 0 : TX FIFO Half FULL	1

• Interrupt Enable (Interrupt Enable Register) Offset:0x40

割り込みの有効無効を制御します。

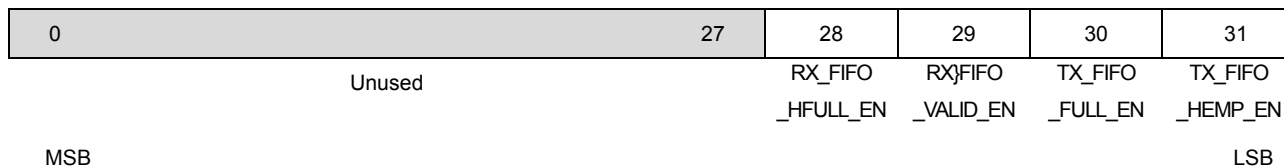


Figure 4 : Interrupt Enable Register

Table 6 : Interrupt Enable Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 27	Unused	Read	Unused	zeroes
28	RX_FIFO_HFULL_EN	Read/Write	Status Register の RX_FIFO_HFULL が 1 になった時の割り込み 1 : 有効 0 : 無効	0
29	RX_FIFO_VALID_EN	Read/Write	Status Register の RX_FIFO_VALID が 1 になった時の割り込み 1 : 有効 0 : 無効	0
30	TX_FIFO_FULL_EN	Read/Write	Status Register の TX_FIFO_FULL が 1 になった時の割り込み 1 : 有効 0 : 無効	0
31	TX_FIFO_HEMP_EN	Read/Write	Status Register の TX_FIFO_HEMP が 1 になった時の割り込み 1 : 有効 0 : 無効	0

• Mono_Stereo Select (Monaural/Stereo Select Register) Offset:0x64

ステレオとモノラルを切り替えます。

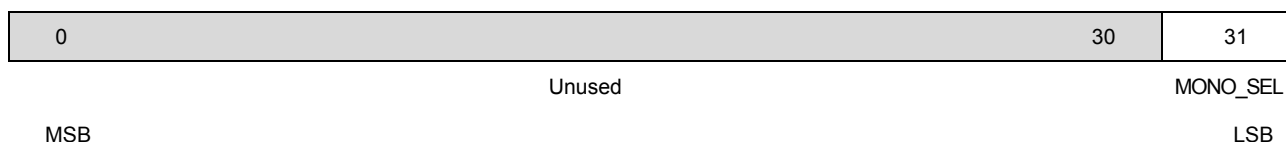


Figure 5 : Monaural Select Register

Table 7 : Monaural Select Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 30	Unused	Read	Unused	zeros
31	MONO_SEL	Read/Write	0 : Stereo 1 : Monaural	0

• Audio RX FIFO (Audio RX FIFO) Offset:0x80

オーディオコーデックからの入力 FIFO です。

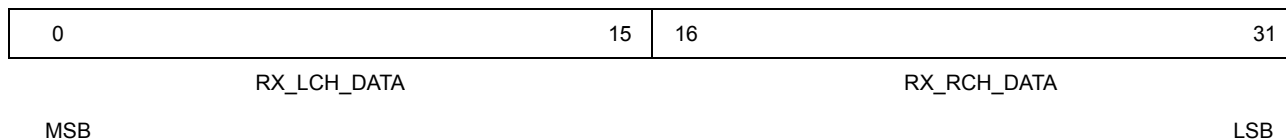


Figure 6 : Audio RX FIFO Register

Table 8 : Audio RX FIFO Description

Bits	Name	Core Access	Description	Reset Value
0 : 15	RX_LCH_DATA	Read	CODEC から入力される LCH データ FIFO	0x0000
16 : 31	RX_RCH_DATA	Read	CODEC から入力される RCH データ FIFO	0x0000

• Audio TX FIFO (Audio TX FIFO) Offset:0x84

オーディオコーデックへの出力 FIFO です。

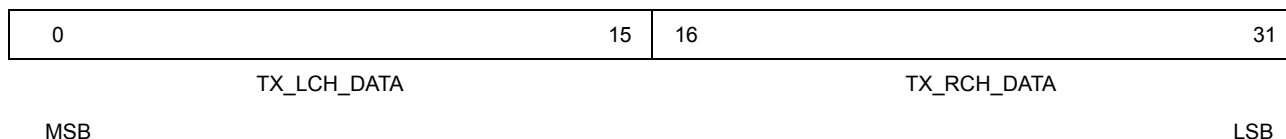


Figure 7 : Audio TX FIFO

Table 9 : Audio TX FIFO Description

Bits	Name	Core Access	Description	Reset Value
0 : 15	TX_LCH_DATA	Write	CODEC へ出力する LCH データ FIFO	0x0000
16 : 31	TX_RCH_DATA	Write	CODEC へ出力する RCH データ FIFO	0x0000

• RX FIFO Depth (RX FIFO Depth Register) Offset:0xA0

入力 FIFO の深さを表示します。

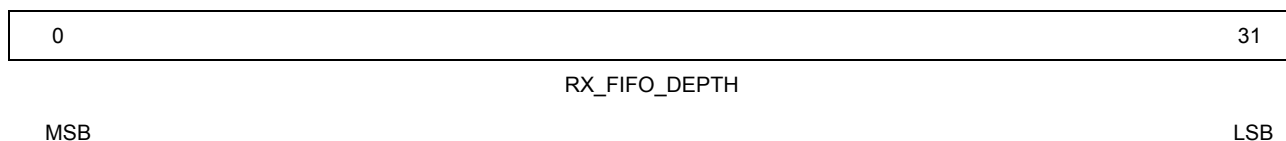


Figure 8 : RX FIFO Depth Register

Table 10 : RX FIFO Depth Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 31	RX_FIFO_DEPTH	Read	入力 FIFO の深さ	0x00000400

• TX FIFO Depth (TX FIFO Depth Register) Offset:0xA4

出力 FIFO の深さを表示します。

0	31
---	----

TX_FIFO_DEPTH

MSB

LSB

Figure 9 : TX FIFO Depth Register

Table 11 : TX FIFO Depth Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 31	TX_FIFO_DEPTH	Read	出力 FIFO の深さ	0x00000400

• Core ID (Core ID Register) Offset:0xFC

本 IP コアの ID です。

0	31
---	----

CORE_ID

MSB

LSB

Figure 10 : CORE ID Register

Table 12 : Core ID Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 31	CORE_ID	Read	本 IP コアの ID です。	0x5008100A

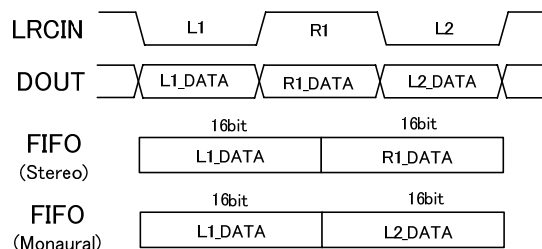
Functional Description

大きく分けて以下の 2 種類の機能を持ちます。

● 音データ取得

CODEC から COD_BCLK 同期で入力される DOUT をパラレル変換し、Audio RX FIFO に書き込みます。

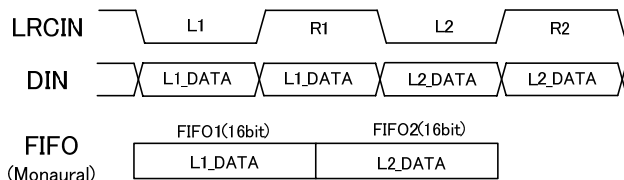
Monaural/Stereo Select Register の MONO_SEL が 1 の場合は LCH のデータのみを書き込みます。



● 音データ出力

CODEC から供給される COD_BCLK に同期し、Audio TX FIFO からデータを読み込み、I²S 変換して DIN へ出力します。

Monaural/Stereo Select Register の MONO_SEL が 1 の場合は Audio TX FIFO の MSB 側 16bit のデータと LSB 側 16bit のデータを LCH および RCH に交互に出力します。



Implementation

SUZAKU I/O シリーズ AV ボードの IP コア(OPB-SIV00²および OPB-SIA00)を SUZAKU のデフォルトプロジェクトに組み込む際の手順を以下に示します。

1. IP Core のコピー

SUZAKU のデフォルトプロジェクト³の pcores フォルダ以下に opb_siv00_vx_xx_x、opb_sia00_vx_xx_x をコピーしてください。

sz130-yyyymmdd¥pcores¥opb_siv00_vx_xx_x

sz130-yyyymmdd¥pcores¥opb_sia00_vx_xx_x

(yyyymmdd : 日付 vx_xx_x : IP コアバージョン)

2. MHS File の編集

sz130-yyyymmdd¥xps_proj.mhs ファイルを開き以下のように編集してください。太字部分が変更もしくは追加された部分です。

```
# External Port 宣言の追加
PORT IIC_DATA = IIC_DATA, VEC = [0:1], DIR = IO
PORT nRESET = nRESET, DIR = O
PORT ENC_P = ENC_P, DIR = O, VEC = [0:7]
PORT ENC_SCRSTnRTC = ENC_SCRSTnRTC, DIR = O
PORT ENC_CLK_27M = ENC_CLK_27M, DIR = I, SIGIS = Clk
PORT ENC_CLOCK = ENC_CLOCK, DIR = O, SIGIS = Clk
PORT DEC_P = DEC_P, DIR = I, VEC = [0:7]
PORT DEC_LLC = DEC_LLC, DIR = I, SIGIS = Clk
PORT DEC_SFL = DEC_SFL, DIR = I
PORT COD_DIN = COD_DIN, DIR = O
PORT COD_LRCIN = COD_LRCIN, DIR = I
PORT COD_DOUT = COD_DOUT, DIR = I
PORT COD_BCLK = COD_BCLK, DIR = I

# IP コア OPB_GPIO の追加4
BEGIN opb_gpio
PARAMETER INSTANCE = i2c
PARAMETER HW_VER = x.xx.x          # x.xx.x : ご使用になるコアのバージョン
PARAMETER C_GPIO_WIDTH = 2
PARAMETER C_BASEADDR = 0xFFFF4600
PARAMETER C_HIGHADDR = 0xFFFF47FF
PARAMETER C_IS_BIDIR = 1
PARAMETER C_TRI_DEFAULT = 0x00000000
BUS_INTERFACE SOPB = d_opb_v20
PORT GPIO_IO = IIC_DATA
END
```

² OPB-SIV00 は SUZAKU I/O シリーズ AV ボードの Video 用 IP コアです。詳細につきましては、OPB-SIV00 のデータシートをご参照ください。

³ SUZAKU CD-ROM 20080118 以降の ISE/EDK9.2i プロジェクトをご使用ください。

⁴ エンコーダ IC、デコーダ IC、コーデック IC の初期化を I²C で行うため OPB_GPIO が必要となります。

```

# IP コア OPB-SIV00 の追加
BEGIN opb_siv00
  PARAMETER INSTANCE = siv_cntlr
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_AR0_BASEADDR = 0xFFFF4200
  PARAMETER C_AR0_HIGHADDR = 0xFFFF43FF
  PARAMETER C_CAP_ADDR = 0x81e00000
  PARAMETER C_DISP_ADDR = 0x81e00000
  BUS_INTERFACE SOPB = d_opb_v20
  BUS_INTERFACE W_MCH = siv_cntlr_w_xcl
  BUS_INTERFACE R_MCH = siv_cntlr_r_xcl
  PORT nRESET = nRESET
  PORT ENC_P = ENC_P
  PORT ENC_SCRSTnRTC = ENC_SCRSTnRTC
  PORT ENC_CLK_27M = ENC_CLK_27M
  PORT ENC_CLOCK = ENC_CLOCK
  PORT DEC_P = DEC_P
  PORT DEC_LLC = DEC_LLC
  PORT DEC_SFL = DEC_SFL
  PORT SIV_Intr = siv_intr
END

# IP コア OPB-SIA00 の追加
BEGIN opb_sia00
  PARAMETER INSTANCE = sia_cntlr
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_AR0_BASEADDR = 0xFFFF4400
  PARAMETER C_AR0_HIGHADDR = 0xFFFF45FF
  BUS_INTERFACE SOPB = d_opb_v20
  PORT COD_DIN = COD_DIN
  PORT COD_LRCIN = COD_LRCIN
  PORT COD_DOUT = COD_DOUT
  PORT COD_BCLK = COD_BCLK
  PORT SIA_Intr = sia_intr
END

# IP コア MCH_OPB_SDRAM の変更
BEGIN mch_opb_sdram
  PARAMETER INSTANCE = sdram_controller
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_SDRAM_COL_AWIDTH = 9
  PARAMETER C_SDRAM_CAS_LAT = 2
  PARAMETER C_SDRAM_TRAS = 45000
  PARAMETER C_SDRAM_AWIDTH = 12
  PARAMETER C_MEM0_BASEADDR = 0x80000000
  PARAMETER C_MEM0_HIGHADDR = 0x81FFFFFF
  PARAMETER C_MCH_OPB_CLK_PERIOD_PS = 19376
  PARAMETER C_NUM_CHANNELS = 4
  PARAMETER C_XCL1_LINESIZE = 16
  PARAMETER C_XCL0_LINESIZE = 8
  PARAMETER C_XCL0_WRITEXFER = 2
  BUS_INTERFACE MCH2 = microblaze_DXCL
  BUS_INTERFACE MCH3 = microblaze_IXCL
  BUS_INTERFACE SOPB = d_opb_v20
  BUS_INTERFACE MCH0 = siv_cntlr_w_xcl

```

```

BUS_INTERFACE MCH1 = siv_cntlr_r_xcl
PORT SDRAM_Clk_in = SDRAM_Clk_in
PORT SDRAM_WEn = SDRAM_WEn_w
PORT SDRAM_RASn = SDRAM_RASn_w
PORT SDRAM_DQM = SDRAM_DQM
PORT SDRAM_DQ = SDRAM_DQ
PORT SDRAM_CASn = SDRAM_CASn_w
PORT SDRAM_BankAddr = SDRAM_BankAddr_w
PORT SDRAM_Addr = SDRAM_ADR_w
PORT SDRAM_Clk = SDRAM_Clk_w
END

# IP コア OPB_INTC の変更
BEGIN opb_intc
  PARAMETER INSTANCE = system_intc
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_BASEADDR = 0xFFFF3000
  PARAMETER C_HIGHADDR = 0xFFFF30FF
  BUS_INTERFACE SOPB = d_opb_v20
  PORT Intr = MAC_INTERRUPT_IN&console_uart_interrupt&siv_intr&sia_intr&timer_interrupt
  PORT Irq = interrupt
END

```

3. MSS File の編集

sz130-yyyymmdd¥xps_proj.mss ファイルを開き以下のように編集してください。太字部分が変更もしくは追加された部分です。

```

# OPB_GPIO のドライバの宣言を追加
BEGIN DRIVER
  PARAMETER DRIVER_NAME = gpio
  PARAMETER DRIVER_VER = x.xx.x # x.xx.x : ご使用になるドライバのバージョン
  PARAMETER HW_INSTANCE = i2c
END

# OPB_SIV00 のドライバの宣言を追加
BEGIN DRIVER
  PARAMETER DRIVER_NAME = generic
  PARAMETER DRIVER_VER = 1.00.a
  PARAMETER HW_INSTANCE = siv_cntlr
END

# OPB_SIA00 のドライバの宣言を追加
BEGIN DRIVER
  PARAMETER DRIVER_NAME = generic
  PARAMETER DRIVER_VER = 1.00.a
  PARAMETER HW_INSTANCE = sia_cntlr
END

```

4. UCF File の編集

sz130-yyyyymmdd\data\%xps_proj.ucf ファイルを開き以下のように編集してください。

```
# OPB_GPIO(IIC)用のピンアサイン追加
NET IIC_DATA<0>          LOC=F9   | IOSTANDARD = LVCMOS33 | PULLUP;
NET IIC_DATA<1>          LOC=E9   | IOSTANDARD = LVCMOS33 | PULLUP;

# OPB_SIV00用のピンアサイン追加
NET DEC_SFL              LOC=N4   | IOSTANDARD = LVCMOS33;
NET DEC_P<0>              LOC=M6   | IOSTANDARD = LVCMOS33;
NET DEC_P<1>              LOC=M5   | IOSTANDARD = LVCMOS33;
NET DEC_P<2>              LOC=M3   | IOSTANDARD = LVCMOS33;
NET DEC_P<3>              LOC=M4   | IOSTANDARD = LVCMOS33;
NET DEC_P<4>              LOC=L5   | IOSTANDARD = LVCMOS33;
NET DEC_P<5>              LOC=L6   | IOSTANDARD = LVCMOS33;
NET DEC_P<6>              LOC=L4   | IOSTANDARD = LVCMOS33;
NET DEC_P<7>              LOC=L3   | IOSTANDARD = LVCMOS33;
NET DEC_LL               LOC=C9   | IOSTANDARD = LVCMOS33;
NET ENC_CLK_27M          LOC=D9   | IOSTANDARD = LVCMOS33;
NET nRESET               LOC=J1   | IOSTANDARD = LVCMOS33;
NET ENC_SCRSTnRTC        LOC=A10  | IOSTANDARD = LVCMOS33;
NET ENC_CLOCK            LOC=B10  | IOSTANDARD = LVCMOS33;
NET ENC_P<0>              LOC=D11  | IOSTANDARD = LVCMOS33;
NET ENC_P<1>              LOC=C11  | IOSTANDARD = LVCMOS33;
NET ENC_P<2>              LOC=F11  | IOSTANDARD = LVCMOS33;
NET ENC_P<3>              LOC=E11  | IOSTANDARD = LVCMOS33;
NET ENC_P<4>              LOC=E12  | IOSTANDARD = LVCMOS33;
NET ENC_P<5>              LOC=F12  | IOSTANDARD = LVCMOS33;
NET ENC_P<6>              LOC=B11  | IOSTANDARD = LVCMOS33;
NET ENC_P<7>              LOC=A11  | IOSTANDARD = LVCMOS33;

# OPB_SIA00用のピンアサイン追加
NET COD_BCLK             LOC=K5   | IOSTANDARD = LVCMOS33;
NET COD_DOUT             LOC=K4   | IOSTANDARD = LVCMOS33;
NET COD_LRCIN            LOC=K3   | IOSTANDARD = LVCMOS33;
NET COD_DIN              LOC=J2   | IOSTANDARD = LVCMOS33;

# 使用を禁止にする
CONFIG PROHIBIT = N5;      #CON2_7 DEC_nINTRQ
CONFIG PROHIBIT = L2;      #CON2_17 COD_CLKOUT
```

Revision History

Date	Version	Revision
2008/01/18	1.0	・ 初版作成
2008/03/14	1.1	・ MHS File のサンプルコード修正 OPB-SIV を MCH-OPB-SDRAM に接続する際のバスの優先順位を変更 MCH-OPB-SDRAM に記載してある余計な信号を削除 ・ IP コア v1.00a --> v1.00b RX_FIFO_VALID の論理を修正