



XPS SIA00 (v1.00d)

Introduction

XPS-SIA00はSUZAKU¹とSUZAKU I/OシリーズAVボード(SIV00-U00)²を接続した状態で使用できるAudio用IPコアのサンプルです。

AVボードは映像と音データの取得・出力が可能なボードです。XPA-SIA00 は取得したI²Sフォーマットのデータをデジタルデータに変換してSDRAMに展開すること、SDRAMのデジタルデータをI²Sフォーマットのデータに変換して出力することができます。

Features

XPS-SIA00 は以下のような特徴を持っています。

- SUZAKU-I/O シリーズ AV ボード専用(コーデック IC : TLV320AIC23B(テキサスインスツルメンツ社))
- SZ130-U00、SZ410-U00 に対応
- PLBv4.6 に接続可能
- I²S・16bitフォーマット対応
- ステレオ/モノラル対応
- FIFO の深さ 1024

Caution

本 IP コア (付属のドキュメント等も含みます) は、現状のまま (AS IS) 提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。

また、本製品の使用による結果についてもなんら保証するものではありません。

Block Diagram

XPS-SIA00 のブロック図を示します。

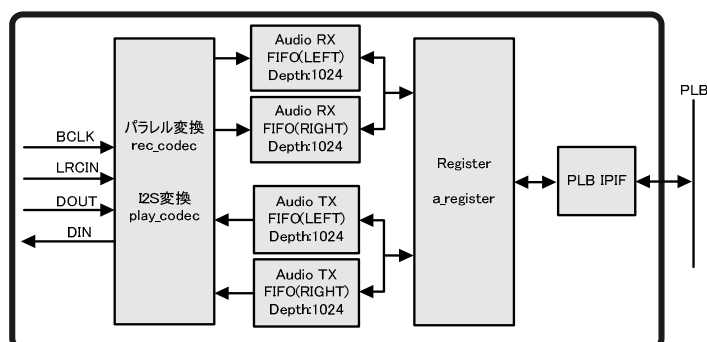


Figure 1 : XPS-SIA00 Block Diagram

¹ 対応している型番はSZ130-U00、SZ410-U00 です。

² AVボード(SIV00-U00)の詳細につきましてはAVボードハードウェアマニュアルをご参照ください。

Parameters

XPS-SIA00 のパラメータを示します。

Table 1 : Design Parameters

Feature/Description	Parameter Name	Allowable Values	Default Values	VHDL Type
XPS SIA00 Base Address	C_MEM0_BASEADDR	Valid Address	0xF0FF 4400	std_logic_vector
XPS SIA00 High Address	C_MEM0_HIGHADDR	Valid Address	0xF0FF 45FF	std_logic_vector
PLB Address Width	C_PLB_AWIDTH	32	32	integer
PLB Data Width	C_PLB_DWIDTH	32, 64, 128	128	integer
Number of PLB Masters	C_SPLB_NUM_MASTERS	1:16	8	integer
PLB Master ID Bus Width	C_SPLB_MID_WIDTH	1:4	3	integer
Width of the Slave Data Bus	C_SPLB_NATIVE_DWIDTH	32, 64, 128	32	integer
Selects point-to-point or shared PLB topology	C_SPLB_P2P	0,1	0	integer
Selects the transactions as being single beat or burst	C_SPLB_SUPPORT_BURSTS	0,1	0	integer
Data Width of Smallest Master	C_SPLB_SMALLEST_MASTER	32, 64, 128	32	integer
Phase Shift Time Out	C_INCLUDE_DPHASE_TIMER	0,1	0	integer
Period of the PLB Clock	C_SPLB_CLK_PERIOD_PS	Valid Period	10000	integer
Target FPGA Family	C_FAMILY	virtex4	virtex4	string

I/O Signals

XPS-SIA00 の I/O Signals を示します。

Table 2 : I/O Signals

Signal Name	I/O	Initial State	Description
SPLB_Clk	I		PLB Clock
SPLB_Rst	I		PLB RESET
PLB_ABus[0:31]	I		PLB Address Bus
PLB_UABus[0:31]	I		PLB Upper Address Bits
PLB_PAVali	I		PLB Primary Address Valid
PLB_SAVali	I		PLB Secondary Address Valid
PLB_rdPrim	I		PLB Read Primary
PLB_wrPrim	I		PLB Write Primary
PLB_masterID[0:C_SPLB_MID_WIDTH-1]	I		PLB Master Identification
PLB_abort	I		PLB Transaction Abort
PLB_busLock	I		PLB Bus Lock
PLB_RNW	I		PLB Read Not Write
PLB_BE[0:C_SPLB_DWIDTH/8-1]	I		PLB Byte Enable
PLB_MSize[0:1]	I		PLB Master Size
PLB_size[0:3]	I		PLB Size
PLB_type[0:2]	I		PLB Transaction Type
PLB_lockErr	I		PLB Bus Lock Error
PLB_wrDBus[0:C_SPLB_DWIDTH-1]	I		PLB Write Data Bus
PLB_wrBurst	I		PLB Write Burst
PLB_rdBurst	I		PLB Read Burst
PLB_wrPendReq	I		PLB Write Pending Request

PLB_rdPendReq	I		PLB Read Pending Request
PLB_wrPendPri[0:1]	I		PLB Write Pending Priority
PLB_rdPendPri[0:1]	I		PLB Read Pending Priority
PLB_reqPri[0:1]	I		PLB Request Primary
PLB_TAttribute[0:15]	I		PLB Transaction Attribute
SI_addrAck	O	0	PLB Slave Address Acknowledge
SI_SSize[0:1]	O	0	PLB Slave Size
SI_wait	O	0	PLB Slave Wait
SI_rearbitrate	O	0	PLB Rearbitrate
SI_wrDAck	O	0	PLB Write Data Acknowledge
SI_wrComp	O	0	PLB Write Complete
SI_wrBTerm	O	0	PLB Burst Terminate
SI_rdDBus[0:C_SPLB_DWIDTH-1]	O	0	PLB Read Data Bus
SI_rdWdAddr[0:3]	O	0	PLB Read Word Address
SI_rdDAck	O	0	PLB Read Data Acknowledge
SI_rdComp	O	0	PLB Read Complete
SI_rdBTerm	O	0	PLB Read Burst Terminate
SI_MBusy[0:C_SPLB_NUM_MASTERS-1]	O	0	PLB Slave Master Busy
SI_MWrErr[0:C_SPLB_NUM_MASTERS-1]	O	0	PLB Master Write Error
SI_MRdErr[0:C_SPLB_NUM_MASTERS-1]	O	0	PLB Read Error
SI_MIRQ[0:C_SPLB_NUM_MASTERS-1]	O	0	PLB Master Interrupt Request
COD_DIN	O	0	I2S Format Serial Data Output
COD_LRCIN	I		I2S Word Clock Signal
COD_DOUT	I		I2S Format Serial Data Input
COD_BCLK	I		I2S Serial Bit Colck
SIA_Intr	O	0	Active Level High Interrupt Signal

Register

XPS-SIA00 のレジスタを示します。

Table 3 : Register Overview

Register Name	Description	PLB Address	Reset Value	Access
Control	Control Register	C_MEM0_BASEADDR+0x00	0x0000 0000	Read/Write
Status	Status Register	C_MEM0_BASEADDR+0x10	0x0000 0003	Read
Interrupt Enable	Interrupt Enable Register	C_MEM0_BASEADDR+0x40	0x0000 0000	Read/Write
Mono_Stereo Select	Monaural/Stereo Select Register	C_MEM0_BASEADDR+0x64	0x0000 0000	Read/Write
Audio RX FIFO	Audio RX FIFO	C_MEM0_BASEADDR+0x80	0x0000 0000	Read
Audio TX FIFO	Audio TX FIFO	C_MEM0_BASEADDR+0x84	0x0000 0000	Write
RX FIFO Depth	RX FIFO Depth Register	C_MEM0_BASEADDR+0xA0	0x0000 0400	Read
TX FIFO Depth	TX FIFO Depth Register	C_MEM0_BASEADDR+0xA4	0x0000 0400	Read
Core ID	Core ID Register	C_MEM0_BASEADDR+0xFC	0x5008 100D	Read

※ 32bit アクセスのみ対応。8bit 及び 16bit アクセスはできません。

• Control (Control Register) Offset:0x00

XPS-SIA00 の動作を制御します。

0	28	29	30	31
Unused		BYTE_SWAP	REC_RST	PLAY_RST
MSB				LSB

Figure 2 : Control Register

Table 4 : Control Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 28	Unused	Read	Unused	zeroes
29	BYTE_SWAP	Write	1 : TX FIFO データ、RX FIFO データがリトルエンディアンとなります。 0 : TX FIFO データ、RX FIFO データがビッグエンディアンとなります。	0
30	REC_RST	Read/Write	1 : Audio RX FIFO にリセット信号を出力します。 0 : Audio RX FIFO へのリセット信号の出力を停止します。	1
31	PLAY_RST	Read/Write	1 : Audio TX FIFO にリセット信号を出力します。 0 : Audio TX FIFO へのリセット信号の出力を停止します。	1

• Status (Status Register) Offset:0x10

XPS-SIA00 のステータスを表示します。

0	25	26	27	28	29	30	31
Unused		RX_FIFO_FULL	TX_FIFO_EMP	RX_FIFO_HFULL	RX_FIFO_VALID	TX_FIFO_FULL	TX_FIFO_HEMP
MSB							LSB

Figure 3 : Status Register

Table 5 :Status Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 25	Unused	Read	Unused	zeroes
26	RX_FIFO_FULL	Read	1 : RX FIFO FULL 0 : RX FIFO NOT FULL	0
27	TX_FIFO_EMP	Read	1 : TX FIFO EMPTY 0 : TX FIFO VALID	1
28	RX_FIFO_HFULL	Read	1 : RX FIFO Half FULL 0 : RX FIFO Half EMPTY	0
29	RX_FIFO_VALID	Read	1 : RX FIFO VALID 0 : RX FIFO EMPTY	0
30	TX_FIFO_FULL	Read	1 : TX FIFO FULL 0 : TX FIFO NOT FULL	0
31	TX_FIFO_HEMP	Read	1 : TX FIFO Half EMPTY 0 : TX FIFO Half FULL	1

• Interrupt Enable (Interrupt Enable Register) Offset:0x40

割り込みの有効無効を制御します。

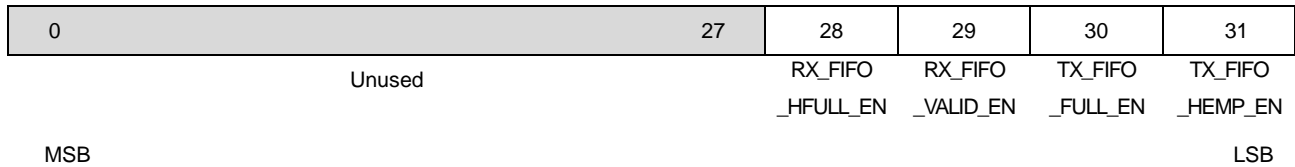


Figure 4 : Interrupt Enable Register

Table 6 : Interrupt Enable Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 27	Unused	Read	Unused	zeroes
28	RX_FIFO_HFULL_EN	Read/Write	Status Register の RX_FIFO_HFULL が 1 になった時の割り込み 1 : 有効 0 : 無効	0
29	RX_FIFO_VALID_EN	Read/Write	Status Register の RX_FIFO_VALID が 1 になった時の割り込み 1 : 有効 0 : 無効	0
30	TX_FIFO_FULL_EN	Read/Write	Status Register の TX_FIFO_FULL が 1 になった時の割り込み 1 : 有効 0 : 無効	0
31	TX_FIFO_HEMP_EN	Read/Write	Status Register の TX_FIFO_HEMP が 1 になった時の割り込み 1 : 有効 0 : 無効	0

• Mono_Stereo Select (Monaural/Stereo Select Register) Offset:0x64

ステレオとモノラルを切り替えます。

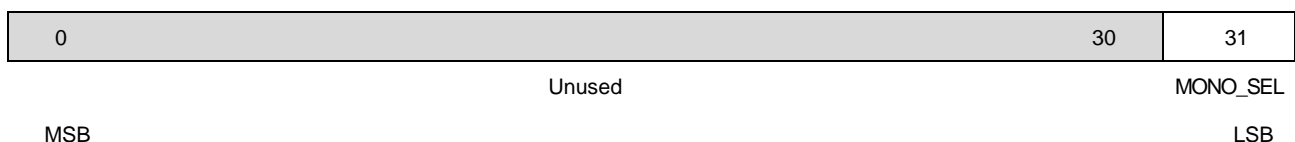


Figure 5 : Monaural Select Register

Table 7 : Monaural Select Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 30	Unused	Read	Unused	zeros
31	MONO_SEL	Read/Write	0 : Stereo 1 : Monaural	0

• Audio RX FIFO (Audio RX FIFO) Offset:0x80

オーディオコーデックからの入力 FIFO です。

0	15	16	31
---	----	----	----

RX_LCH_DATA

RX_RCH_DATA

MSB

LSB

Figure 6 : Audio RX FIFO Register

Table 8 : Audio RX FIFO Description

Bits	Name	Core Access	Description	Reset Value
0 : 15	RX_LCH_DATA	Read	CODEC から入力される LCH データ FIFO	0x0000
16 : 31	RX_RCH_DATA	Read	CODEC から入力される RCH データ FIFO	0x0000

• Audio TX FIFO (Audio TX FIFO) Offset:0x84

オーディオコーデックからの出力 FIFO です。

0	15	16	31
---	----	----	----

TX_LCH_DATA

TX_RCH_DATA

MSB

LSB

Figure 7 : Audio TX FIFO

Table 9 : Audio TX FIFO Description

Bits	Name	Core Access	Description	Reset Value
0 : 15	TX_LCH_DATA	Write	CODEC へ出力する LCH データ FIFO	0x0000
16 : 31	TX_RCH_DATA	Write	CODEC へ出力する LCH データ FIFO	0x0000

• RX FIFO Depth(RX FIFO Depth Register) Offset:0xA0

入力 FIFO の深さを表示します。

0	31
---	----

RX_FIFO_DEPTH

MSB

LSB

Figure 8 : RX FIFO Depth Register

Table 10 : RX FIFO Depth Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 31	RX_FIFO_DEPTH	Read	入力 FIFO の深さ	0x00000400

• TX FIFO Depth(TX FIFO Depth Register) Offset:0xA4

出力 FIFO の深さを表示します。

0	31
---	----

TX_FIFO_DEPTH

MSB

LSB

Figure 9 : TX FIFO Depth Register

Table 11 : TX FIFO Depth Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 31	TX_FIFO_DEPTH	Read	出力 FIFO の深さ	0x00000400

• Core ID (Core ID Register) Offset:0xFC

本 IP コアの ID です。

0	31
---	----

CORE_ID

MSB

LSB

Figure 10 : Core ID Register

Table 12 : Core ID Register Description

Bits	Name	Core Access	Description	Reset Value
0 : 31	CORE_ID	Read	本 IP コアの ID です。	0x5008100D

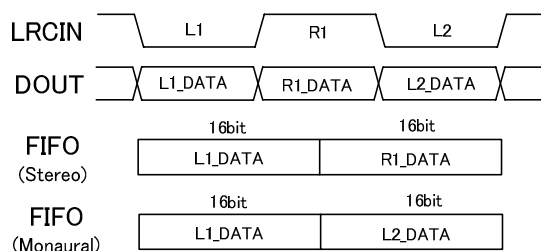
Functional Description

大きく分けて以下の 2 種類の機能を持ちます。

● 音データ取得

CODEC から COD_BCLK 同期で入力される DOUT をパラレル変換し、Audio RX FIFO に書き込みます。

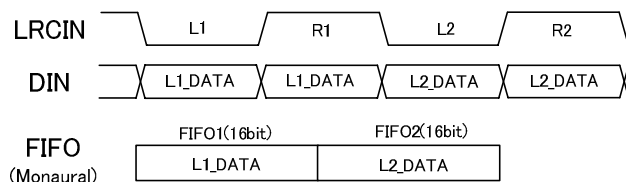
Monaural/Stereo Select Register の MONO_SEL が 1 の場合は LCH のデータのみを書き込みます。



● 音データ出力

CODECから供給されるCOD_BCLKに同期し、Audio TX FIFOからデータを読み込み、I²S変換してDINへ出力します。

Monaural/Stereo Select Register の MONO_SEL が 1 の場合は Audio TX FIFO の MSB 側 16bit のデータと LSB 側 16bit のデータを LCH および RCH に交互に出力します。



Implementation

SUZAKU-I/O シリーズ AVボードのIPコア(XPS-SIV00³およびXPS-SIA00)をSUZAKUのデフォルトプロジェクトに組み込む際の手順を以下に示します。

1. IP Core のコピー

SUZAKUのデフォルトプロジェクト⁴のpcoresフォルダ以下にxps_siv00_vx_xx_x、xps_sia00_vx_xx_xをコピーしてください。

```
sz???-yyyymmdd\pcores\xps_siv00_vx_xx_x
```

```
sz???-yyyymmdd\pcores\xps_sia00_vx_xx_x
```

(??? : SUZAKU の型式 yyyymmdd : 日付 vx_xx_x : バージョン)

2. MHS File の編集

sz???-yyyymmdd\xps_proj.mhs ファイルを開き以下のように編集してください。太字部分が変更もしくは追加された部分です。

ex 1 : MHS File(SZ130)

```
# External Port 宣言の追加
PORT IIC_DATA = IIC_DATA, VEC = [0:1], DIR = IO
PORT nRESET = nRESET, DIR = O
PORT ENC_P = ENC_P, DIR = O, VEC = [0:7]
PORT ENC_SCRSTnRTC = ENC_SCRSTnRTC, DIR = O
PORT ENC_CLK_27M = ENC_CLK_27M, DIR = I, SIGIS = Clk
PORT ENC_CLOCK = ENC_CLOCK, DIR = O, SIGIS = Clk
PORT DEC_P = DEC_P, DIR = I, VEC = [0:7]
PORT DEC_LLC = DEC_LLC, DIR = I, SIGIS = Clk
PORT DEC_SFL = DEC_SFL, DIR = I
PORT COD_DIN = COD_DIN, DIR = O
PORT COD_LRCIN = COD_LRCIN, DIR = I
PORT COD_DOUT = COD_DOUT, DIR = I
PORT COD_BCLK = COD_BCLK, DIR = I

# IPコア XPS_GPIOの追加5
BEGIN xps_gpio
PARAMETER INSTANCE = i2c
PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
PARAMETER C_BASEADDR = 0xFFFF4600
PARAMETER C_HIGHADDR = 0xFFFF47FF
PARAMETER C_GPIO_WIDTH = 2
PARAMETER C_TRI_DEFAULT = 0x00000000
BUS_INTERFACE SPLB = mb_plb
PORT GPIO_IO = IIC_DATA
```

³ XPS-SIV00 はSUZAKU I/OシリーズAVボードのVideo用IPコアです。詳細につきましては、XPS-SIV00 のデータシートをご参照ください。

⁴ EDK11.5 用プロジェクトをご使用ください。

⁵ エンコーダIC、デコーダIC、コーデックICの初期化をI²Cで行うためXPS_GPIOが必要となります。

END

IP コア XPS-SIV00 の追加

BEGIN xps_siv00

```

PARAMETER INSTANCE = siv_cntlr
PARAMETER HW_VER = x.xx.x      # x.xx.x : ご使用になるコアのバージョン
PARAMETER C_MEM0_BASEADDR = 0xFFFF4200
PARAMETER C_MEM0_HIGHADDR = 0xFFFF43FF
PARAMETER C_CAP_ADDR = 0x81E00000
PARAMETER C_DISP_ADDR = 0x81E00000
BUS_INTERFACE SPLB = mb_plb
BUS_INTERFACE W_XCL = siv_cntlr_w_xcl
BUS_INTERFACE R_XCL = siv_cntlr_r_xcl
PORT nRESET = nRESET
PORT ENC_P = ENC_P
PORT ENC_SCRSTnRTC = ENC_SCRSTnRTC
PORT ENC_CLK_27M = ENC_CLK_27M
PORT ENC_CLOCK = ENC_CLOCK
PORT DEC_P = DEC_P
PORT DEC_LLC = DEC_LLC
PORT DEC_SFL = DEC_SFL
PORT SIV_Intr = siv_intr

```

END

IP コア XPS-SIA00 の追加

BEGIN xps_sia00

```

PARAMETER INSTANCE = sia_cntlr
PARAMETER HW_VER = x.xx.x      # x.xx.x : ご使用になるコアのバージョン
PARAMETER C_MEM0_BASEADDR = 0xFFFF4400
PARAMETER C_MEM0_HIGHADDR = 0xFFFF45FF
BUS_INTERFACE SPLB = mb_plb
PORT COD_DIN = COD_DIN
PORT COD_LRCIN = COD_LRCIN
PORT COD_DOUT = COD_DOUT
PORT COD_BCLK = COD_BCLK
PORT SIA_Intr = sia_intr

```

END

IP コア MPMC の変更

BEGIN mpmc_sz130

```

PARAMETER INSTANCE = sdram_cntlr
PARAMETER HW_VER = x.xx.x      # x.xx.x : ご使用になるコアのバージョン
# 中略
PARAMETER C_ARB0_ALGO = FIXED
PARAMETER C_NUM_PORTS = 3      # ポートを 3 つに増やし、PORT0、PORT1 に接続します
PARAMETER C_PIM0_BASETYPE = 1  # PORT0 に接続していたキャッシュラインは PORT2 に接続します。
PARAMETER C_PIM1_BASETYPE = 1
PARAMETER C_PIM2_BASETYPE = 1
PARAMETER C_PIM2_SUBTYPE = IXCL
PARAMETER C_PIM2_B_SUBTYPE = DXCL
PARAMETER C_XCL0_LINESIZE = 8
PARAMETER C_XCL0_WRITEXFER = 2
PARAMETER C_XCL1_LINESIZE = 16
PARAMETER C_XCL2_B_IN_USE = 1
PARAMETER C_PI0_RD_FIFO_TYPE = SRL

```

```

PARAMETER C_PI0_WR_FIFO_TYPE = SRL
PARAMETER C_PI1_RD_FIFO_TYPE = SRL
PARAMETER C_PI1_WR_FIFO_TYPE = SRL
PARAMETER C_PI2_RD_FIFO_TYPE = SRL
PARAMETER C_PI2_WR_FIFO_TYPE = SRL
BUS_INTERFACE XCL0 = siv_cntlr_w_xcl
BUS_INTERFACE XCL1 = siv_cntlr_r_xcl
BUS_INTERFACE XCL2 = mb_ixcl
BUS_INTERFACE XCL2_B = mb_dxcl
BUS_INTERFACE MPMC_CTRL = mb_plb
PORT FSLO_M_Clk = SYS_CLK
PORT FSL1_M_Clk = SYS_CLK
# 中略
END

# IP コア XPS_INTC の変更
BEGIN xps_intc
  PARAMETER C_FAMILY = spartan3e
  PARAMETER INSTANCE = intc_system
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_BASEADDR = 0xFFFFF3000
  PARAMETER C_HIGHADDR = 0xFFFFF30FF
  BUS_INTERFACE SPLB = mb_plb
  PORT Irq = interrupt
  PORT Intr = MAC_INTR & uart_console_intr & siv_intr & sia_intr & timer_intr
END

```

ex 2 : MHS File(SZ410)

```

# External Port 宣言の追加
PORT IIC_DATA = IIC_DATA, VEC = [0:1], DIR = IO
PORT nRESET = nRESET, DIR = O
PORT ENC_P = ENC_P, DIR = O, VEC = [0:7]
PORT ENC_SCRSTnRTC = ENC_SCRSTnRTC, DIR = O
PORT ENC_CLK_27M = ENC_CLK_27M, DIR = I, SIGIS = Clk
PORT ENC_CLOCK = ENC_CLOCK, DIR = O, SIGIS = Clk
PORT DEC_P = DEC_P, DIR = I, VEC = [0:7]
PORT DEC_LLC = DEC_LLC, DIR = I, SIGIS = Clk
PORT DEC_SFL = DEC_SFL, DIR = I
PORT COD_DIN = COD_DIN, DIR = O
PORT COD_LRCIN = COD_LRCIN, DIR = I
PORT COD_DOUT = COD_DOUT, DIR = I
PORT COD_BCLK = COD_BCLK, DIR = I

# IPコア XPS_GPIOの追加6
BEGIN xps_gpio
  PARAMETER INSTANCE = i2c
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_BASEADDR = 0xF0FF4600
  PARAMETER C_HIGHADDR = 0xF0FF47FF
  PARAMETER C_GPIO_WIDTH = 2
  PARAMETER C_TRI_DEFAULT = 0x00000000

```

⁶ エンコーダIC、デコーダIC、コーデックICの初期化をI²Cで行うためXPS_GPIOが必要となります。

```

BUS_INTERFACE SPLB = plb_peripheral
PORT GPIO_IO = IIC_DATA
END

# IP コア XPS-SIV00 の追加
BEGIN xps_siv00
  PARAMETER INSTANCE = siv_cntlr
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_MEM0_BASEADDR = 0xF0FF4200
  PARAMETER C_MEM0_HIGHADDR = 0xF0FF43FF
  PARAMETER C_CAP_ADDR = 0x00000000
  PARAMETER C_DISP_ADDR = 0x00000000
  BUS_INTERFACE SPLB = plb_peripheral
  BUS_INTERFACE W_XCL = siv_cntlr_w_xcl
  BUS_INTERFACE R_XCL = siv_cntlr_r_xcl
  PORT nRESET = nRESET
  PORT ENC_P = ENC_P
  PORT ENC_SCRSTnRTC = ENC_SCRSTnRTC
  PORT ENC_CLK_27M = ENC_CLK_27M
  PORT ENC_CLOCK = ENC_CLOCK
  PORT DEC_P = DEC_P
  PORT DEC_LLC = DEC_LLC
  PORT DEC_SFL = DEC_SFL
  PORT SIV_Intr = siv_intr
END

# IP コア XPS-SIA00 の追加
BEGIN xps_sia00
  PARAMETER INSTANCE = sia_cntlr
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_MEM0_BASEADDR = 0xF0FF4400
  PARAMETER C_MEM0_HIGHADDR = 0xF0FF45FF
  BUS_INTERFACE SPLB = plb_peripheral
  PORT COD_DIN = COD_DIN
  PORT COD_LRCIN = COD_LRCIN
  PORT COD_DOUT = COD_DOUT
  PORT COD_BCLK = COD_BCLK
  PORT SIA_Intr = sia_intr
END

# IP コア MPMC の変更
BEGIN mpmc_sz410
  PARAMETER INSTANCE = mpmc_ddr2
  PARAMETER HW_VER = x.xx.x # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_MEM_PARTNO = MT47H16M16-37E
  PARAMETER C_MPMC_CLK0_PERIOD_PS = 5714
  PARAMETER C_MPMC_BASEADDR = 0x00000000
  PARAMETER C_MPMC_HIGHADDR = 0x03FFFFFF
  PARAMETER C_MEM_DATA_WIDTH = 32
  PARAMETER C_DDR2_DQSN_ENABLE = 1
  PARAMETER C_MEM_CLK_WIDTH = 2
  PARAMETER C_NUM_PORTS = 3
  PARAMETER C_PIM1_BASETYPE = 1
  PARAMETER C_PIM2_BASETYPE = 1
  PARAMETER C_XCL1_LINESIZE = 8

```

```

PARAMETER C_XCL1_WRITEXFER = 2
PARAMETER C_XCL2_LINESIZE = 16
PARAMETER C_PI1_RD_FIFO_TYPE = SRL
PARAMETER C_PI1_WR_FIFO_TYPE = SRL
PARAMETER C_PI2_RD_FIFO_TYPE = SRL
PARAMETER C_PI2_WR_FIFO_TYPE = SRL
BUS_INTERFACE SPLB0 = plb_memory
BUS_INTERFACE XCL1 = siv_cntlr_w_xcl
BUS_INTERFACE XCL2 = siv_cntlr_r_xcl
PORT FSL1_M_Clk = sys_clk_s
PORT FSL2_M_Clk = sys_clk_s
# 中略
END

# IP コア XPS_INTC の変更
BEGIN xps_intc
  PARAMETER INSTANCE = intc_system
  PARAMETER HW_VER = x.xx.x      # x.xx.x : ご使用になるコアのバージョン
  PARAMETER C_BASEADDR = 0xF0FF3000
  PARAMETER C_HIGHADDR = 0xF0FF30FF
  BUS_INTERFACE SPLB = plb_peripheral
  PORT Irq = EICC405EXTINPUTIRQ
  PORT Intr = phy_mii_int&console_uart_interrupt&fifo_int&siv_intr&sia_intr
END

```

3. MSS File の編集

sz???-yyyymmdd*xps_proj.mss ファイルを開き以下のように編集してください。太字部分が変更もしくは追加された部分です。

ex 3 : MSS File(SZ130, SZ410)

```

# XPS_GPIO のドライバの宣言を追加
BEGIN DRIVER
  PARAMETER DRIVER_NAME = gpio
  PARAMETER DRIVER_VER = x.xx.x      # x.xx.x : ご使用になるドライバのバージョン
  PARAMETER HW_INSTANCE = i2c
END

# XPS_SIV00 のドライバの宣言を追加
BEGIN DRIVER
  PARAMETER DRIVER_NAME = generic
  PARAMETER DRIVER_VER = 1.00.a
  PARAMETER HW_INSTANCE = siv_cntlr
END

# XPS_SIA00 のドライバの宣言を追加
BEGIN DRIVER
  PARAMETER DRIVER_NAME = generic
  PARAMETER DRIVER_VER = 1.00.a
  PARAMETER HW_INSTANCE = sia_cntlr
END

```

4. UCF File の編集

sz????-yyyymmdd\data\xps_proj.ucf ファイルを開き以下の記述を追記してください。

ex 4 : UCF File(SZ130)

```
# XPS_GPIO(IIC)用のピンアサイン追加
NET "IIC_DATA<0>"      LOC="F9" | IOSTANDARD = LVCMOS33 | PULLUP;
NET "IIC_DATA<1>"      LOC="E9" | IOSTANDARD = LVCMOS33 | PULLUP;

# XPS_SIV00 用のピンアサイン追加
NET "DEC_SFL"          LOC="N4" | IOSTANDARD = LVCMOS33;
NET "DEC_P<0>"          LOC="M6" | IOSTANDARD = LVCMOS33;
NET "DEC_P<1>"          LOC="M5" | IOSTANDARD = LVCMOS33;
NET "DEC_P<2>"          LOC="M3" | IOSTANDARD = LVCMOS33;
NET "DEC_P<3>"          LOC="M4" | IOSTANDARD = LVCMOS33;
NET "DEC_P<4>"          LOC="L5" | IOSTANDARD = LVCMOS33;
NET "DEC_P<5>"          LOC="L6" | IOSTANDARD = LVCMOS33;
NET "DEC_P<6>"          LOC="L4" | IOSTANDARD = LVCMOS33;
NET "DEC_P<7>"          LOC="L3" | IOSTANDARD = LVCMOS33;
NET "DEC_LLC"           LOC="C9" | IOSTANDARD = LVCMOS33;
NET "ENC_CLK_27M"       LOC="D9" | IOSTANDARD = LVCMOS33;
NET "nRESET"            LOC="J1" | IOSTANDARD = LVCMOS33;
NET "ENC_SCRSTnRTC"     LOC="A10" | IOSTANDARD = LVCMOS33;
NET "ENC_CLOCK"         LOC="B10" | IOSTANDARD = LVCMOS33;
NET "ENC_P<0>"          LOC="D11" | IOSTANDARD = LVCMOS33;
NET "ENC_P<1>"          LOC="C11" | IOSTANDARD = LVCMOS33;
NET "ENC_P<2>"          LOC="F11" | IOSTANDARD = LVCMOS33;
NET "ENC_P<3>"          LOC="E11" | IOSTANDARD = LVCMOS33;
NET "ENC_P<4>"          LOC="E12" | IOSTANDARD = LVCMOS33;
NET "ENC_P<5>"          LOC="F12" | IOSTANDARD = LVCMOS33;
NET "ENC_P<6>"          LOC="B11" | IOSTANDARD = LVCMOS33;
NET "ENC_P<7>"          LOC="A11" | IOSTANDARD = LVCMOS33;

# XPS_SIA00 用のピンアサイン追加
NET "COD_BCLK"          LOC="K5" | IOSTANDARD = LVCMOS33;
NET "COD_DOUT"          LOC="K4" | IOSTANDARD = LVCMOS33;
NET "COD_LRCIN"         LOC="K3" | IOSTANDARD = LVCMOS33;
NET "COD_DIN"           LOC="J2" | IOSTANDARD = LVCMOS33;

# 使用を禁止にする
CONFIG PROHIBIT = "N5";      #CON2_7 DEC_nINTRQ
CONFIG PROHIBIT = "L2";      #CON2_17 COD_CLKOUT
```

ex 5 : UCF File(SZ410)

```
# XPS_GPIO(IIC)用のピンアサイン追加
NET "IIC_DATA<0>"      LOC="E2" | IOSTANDARD = LVCMOS33 | PULLUP;
NET "IIC_DATA<1>"      LOC="D2" | IOSTANDARD = LVCMOS33 | PULLUP;

# XPS_SIV00 用のピンアサイン追加
NET "DEC_SFL"          LOC="D15" | IOSTANDARD = LVCMOS33;
```

```

NET "DEC_P<0>"      LOC="E15" | IOSTANDARD = LVCMOS33;
NET "DEC_P<1>"      LOC="F15" | IOSTANDARD = LVCMOS33;
NET "DEC_P<2>"      LOC="P4"  | IOSTANDARD = LVCMOS33;
NET "DEC_P<3>"      LOC="P5"  | IOSTANDARD = LVCMOS33;
NET "DEC_P<4>"      LOC="P1"  | IOSTANDARD = LVCMOS33;
NET "DEC_P<5>"      LOC="P2"  | IOSTANDARD = LVCMOS33;
NET "DEC_P<6>"      LOC="L2"  | IOSTANDARD = LVCMOS33;
NET "DEC_P<7>"      LOC="M2"  | IOSTANDARD = LVCMOS33;
NET "DEC_LLC"       LOC="Y7"  | IOSTANDARD = LVCMOS33;
NET "ENC_CLK_27M"   LOC="W7"  | IOSTANDARD = LVCMOS33 | CLOCK_DEDICATED_ROUTE = FALSE;
NET "nRESET"        LOC="H5"  | IOSTANDARD = LVCMOS33;
NET "ENC_SCRSTnRTC" LOC="U9"  | IOSTANDARD = LVCMOS33;
NET "ENC_CLOCK"     LOC="V10" | IOSTANDARD = LVCMOS33;
NET "ENC_P<0>"      LOC="L1"  | IOSTANDARD = LVCMOS33;
NET "ENC_P<1>"      LOC="M1"  | IOSTANDARD = LVCMOS33;
NET "ENC_P<2>"      LOC="G4"  | IOSTANDARD = LVCMOS33;
NET "ENC_P<3>"      LOC="G5"  | IOSTANDARD = LVCMOS33;
NET "ENC_P<4>"      LOC="G2"  | IOSTANDARD = LVCMOS33;
NET "ENC_P<5>"      LOC="F2"  | IOSTANDARD = LVCMOS33;
NET "ENC_P<6>"      LOC="F1"  | IOSTANDARD = LVCMOS33;
NET "ENC_P<7>"      LOC="E1"  | IOSTANDARD = LVCMOS33;

# XPS_SIA00 用のピンアサイン追加
NET "COD_BCLK"      LOC="N4"  | IOSTANDARD = LVCMOS33 | CLOCK_DEDICATED_ROUTE = FALSE;
NET "COD_DOUT"       LOC="M3"  | IOSTANDARD = LVCMOS33;
NET "COD_LRCIN"      LOC="M4"  | IOSTANDARD = LVCMOS33;
NET "COD_DIN"        LOC="H4"  | IOSTANDARD = LVCMOS33;

# 使用を禁止にする
CONFIG PROHIBIT = "E14";      #CON2_7 DEC_nINTRQ
CONFIG PROHIBIT = "N2";      #CON2_17 COD_CLKOUT

```

Revision History

Date	Version	Revision
2008/01/18	1.0	初版作成
2008/03/14	1.1	IP コア v1.00a --> v1.00b RX_FIFO_VALID の論理を修正
2008/06/20	1.2	ISE/EDK10.1 対応 UCF に制約(CLOCK_DEDICATED_ROUTE = FALSE)追記
2010/09/08	1.3	IDS11.5 対応の IP コアにバージョンアップしたことに伴う変更